

27.04.00

09/720142 日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

EJU

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年 6月22日

REC'D 26 JUN 2000

出 願 番 号
Application Number:

平成11年特許願第175533号

出 願 人
Applicant(s):

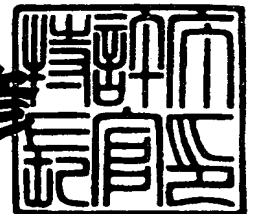
セイコーエプソン株式会社

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 6月 9日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3042438

【書類名】 特許願

【整理番号】 J0071973

【提出日】 平成11年 6月22日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 13/14

【発明の名称】 半導体集積回路

【請求項の数】 8

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 山田 陽一

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

 【代表者】 安川 英昭

【代理人】

 【識別番号】 100093388

 【弁理士】

 【氏名又は名称】 鈴木 喜三郎

 【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

 【識別番号】 100095728

 【弁理士】

 【氏名又は名称】 上柳 雅誉

【選任した代理人】

 【識別番号】 100107261

 【弁理士】

 【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 外部のプロセッサと接続される半導体集積回路であって、
データを記憶するためのメモリと、
前記メモリを前記プロセッサに接続するための端子と、
前記半導体集積回路の製造に関する情報を発生する情報発生回路と、
前記半導体集積回路がリセットされた後に又は前記プロセッサのコマンドの終了に
応答して、前記情報を前記メモリに書き込むための書き込み回路と、
を具備することを特徴とする前記半導体集積回路。

【請求項 2】 外部のメモリ及びプロセッサの組み合わせと接続される半導体集積回路であって、

前記メモリとの接続を行うための端子と、
前記半導体集積回路の製造に関する情報を発生する情報発生回路と、
前記半導体集積回路がリセットされた後に又は前記プロセッサのコマンドの終了に
応答して、前記情報を前記メモリに書き込むための書き込み回路と、
を具備することを特徴とする前記半導体集積回路。

【請求項 3】 データを記憶するためのメモリと、
前記メモリに接続されたプロセッサと、
前記半導体集積回路の製造に関する情報を発生する情報発生回路と、
前記半導体集積回路がリセットされた後に又は前記プロセッサのコマンドの終了に
応答して、前記情報を前記メモリに書き込むための書き込み回路と、
を具備することを特徴とする前記半導体集積回路。

【請求項 4】 外部のプロセッサと接続される半導体集積回路であって、
データを記憶するためのメモリと、
前記メモリを前記プロセッサに接続するための端子と、
前記半導体集積回路の製造に関する情報を発生する情報発生回路と、
前記情報を書き込むための前記メモリのアドレスを表わすデータを前記プロセッサから受け取って記憶するためのレジスタと、

前記半導体集積回路がリセットされた後に又は前記プロセッサのコマンドの終了に応答して、前記情報を前記メモリの前記アドレスに書き込むための書き込み回路と、

を具備することを特徴とする前記半導体集積回路。

【請求項 5】 外部のメモリ及びプロセッサの組み合わせと接続される半導体集積回路であって、

前記メモリとの接続を行うための端子と、

前記半導体集積回路の製造に関する情報を発生する情報発生回路と、

前記情報を書き込むための前記メモリのアドレスを表わすデータを前記プロセッサから受け取って記憶するためのレジスタと、

前記半導体集積回路がリセットされた後に又は前記プロセッサのコマンドの終了に応答して、前記情報を前記メモリの前記アドレスに書き込むための書き込み回路と、

を具備することを特徴とする前記半導体集積回路。

【請求項 6】 データを記憶するためのメモリと、

前記メモリに接続されたプロセッサと、

前記半導体集積回路の製造に関する情報を発生する情報発生回路と、

前記情報を書き込むための前記メモリのアドレスを表わすデータを前記プロセッサから受け取って記憶するためのレジスタと、

前記半導体集積回路がリセットされた後に又は前記プロセッサのコマンドの終了に応答して、前記情報を前記メモリの前記アドレスに書き込むための書き込み回路と、

を具備することを特徴とする前記半導体集積回路。

【請求項 7】 前記メモリは、前記プロセッサがキャッシュとして用いるメモリであることを特徴とする請求項 1 ～ 6 のいずれか 1 項に記載の半導体集積回路。

【請求項 8】 前記情報が、ICチップの製造履歴又は製造会社番号を示す識別番号であることを特徴とする請求項 1 ～ 7 のいずれか 1 項に記載の半導体集積回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体集積回路に関し、特に、ＩＣチップの製造履歴や製造会社番号等の識別番号（ＩＤ）を有する半導体集積回路に関する。

【 0 0 0 2 】

【従来の技術】

従来の半導体集積回路（ＩＣ）においては、ＩＣチップの製造履歴や製造会社番号等を示すＩＤが、そのＩＣチップ内に設けられたＩＤ参照用レジスタに記憶され、外部のＣＰＵから読み出されて、種々の目的に使用されるものがあった。

【 0 0 0 3 】

図 8 に、このような従来の半導体集積回路と外部回路との接続を示す。図 8 に
おいて、半導体集積回路の内部には、ＩＤを発生するためのＩＤ発生回路 1 と、
ＩＤを記憶するためのＩＤ参照用レジスタ 2 と、例えばキャッシュメモリ等とし
て用いられる内蔵メモリ 3 とが含まれている。ＩＣチップの製造履歴や製造会社
番号等を示すＩＤは、ＩＤ発生回路 1 で発生され、ＩＤ参照用レジスタ 2 に記憶
される。このＩＤは、外部のＣＰＵ 4 によって読み出され、ソフトウェアの一種
であるファームウェア 5 によって、ＩＤを判別してＩＣチップの製造履歴や製造
会社番号等を特定することにより、ＩＣに対応した制御を行っていた。

【 0 0 0 4 】

【発明が解決しようとする課題】

しかしながら、ＩＤ参照用レジスタ 2 を設けるために、８ビットアドレスの場合で約 1 0 0 ゲートが必要となり、しかも回路毎にレジスタが必要となるので、回路規模が増大してしまうという問題があった。

【 0 0 0 5 】

また、ＩＣのリセット時に内蔵メモリ 3 のワーク領域（一般データを記憶する領域）にＩＤを記憶することにより回路規模を低減することも考えられるが、その場合には、メモリにＩＤが書き込まれた後で一般データを上書きされてしまつてＩＤを参照できなくなるおそれがある。一方、ワーク領域外にＩＤ書き込み専

用領域を設けて I D の上に一般データを上書きされないようにすることも考えられるが、その場合にはワーク領域が減少してしまう。

【 0 0 0 6 】

そこで、上記の点に鑑み、本発明の目的は、I D を記憶するために必要とする I C 内部の回路規模を低減しつつ、かつ、メモリのワーク領域の減少を伴わずに、I C のリセット時以外でも I D を参照できるようにすることである。

【 0 0 0 7 】

【課題を解決するための手段】

以上の課題を解決するため、本発明の第 1 の観点による半導体集積回路は、外部のプロセッサと接続される半導体集積回路であって、データを記憶するためのメモリと、メモリをプロセッサに接続するための端子と、半導体集積回路の製造に関する情報を発生する情報発生回路と、半導体集積回路がリセットされた後に又はプロセッサのコマンドの終了に応答して、この情報をメモリに書き込むための書き込み回路とを具備することを特徴とする。

【 0 0 0 8 】

また、本発明の第 2 の観点による半導体集積回路は、外部のメモリ及びプロセッサの組み合わせと接続される半導体集積回路であって、メモリとの接続を行うための端子と、半導体集積回路の製造に関する情報を発生する情報発生回路と、半導体集積回路がリセットされた後に又はプロセッサのコマンドの終了に応答して、この情報をメモリに書き込むための書き込み回路とを具備することを特徴とする。

【 0 0 0 9 】

さらに、本発明の第 3 の観点による半導体集積回路は、データを記憶するためのメモリと、メモリに接続されたプロセッサと、半導体集積回路の製造に関する情報を発生する情報発生回路と、半導体集積回路がリセットされた後に又はプロセッサのコマンドの終了に応答して、この情報をメモリに書き込むための書き込み回路とを具備することを特徴とする。

【 0 0 1 0 】

一方、本発明の第 4 の観点による半導体集積回路は、外部のプロセッサと接続

される半導体集積回路であって、データを記憶するためのメモリと、メモリをプロセッサに接続するための端子と、半導体集積回路の製造に関する情報を発生する情報発生回路と、情報を書き込むためのメモリのアドレスを表わすデータをプロセッサから受け取って記憶するためのレジスタと、半導体集積回路がリセットされた後に又はプロセッサのコマンドの終了に応答して、この情報をメモリの指定されたアドレスに書き込むための書き込み回路とを具備することを特徴とする。

【0011】

また、本発明の第5の観点による半導体集積回路は、外部のメモリ及びプロセッサの組み合わせと接続される半導体集積回路であって、メモリとの接続を行うための端子と、半導体集積回路の製造に関する情報を発生する情報発生回路と、情報を書き込むためのメモリのアドレスを表わすデータをプロセッサから受け取って記憶するためのレジスタと、半導体集積回路がリセットされた後に又はプロセッサのコマンドの終了に応答して、この情報をメモリの指定されたアドレスに書き込むための書き込み回路とを具備することを特徴とする。

【0012】

さらに、本発明の第6の観点による半導体集積回路は、データを記憶するためのメモリと、メモリに接続されたプロセッサと、半導体集積回路の製造に関する情報を発生する情報発生回路と、情報を書き込むためのメモリのアドレスを表わすデータをプロセッサから受け取って記憶するためのレジスタと、半導体集積回路がリセットされた後に又はプロセッサのコマンドの終了に応答して、この情報をメモリの指定されたアドレスに書き込むための書き込み回路とを具備することを特徴とする。

【0013】

以上の半導体集積回路において、上記メモリは、プロセッサがキャッシュとして用いるメモリであっても良い。

【0014】

また、半導体集積回路の製造に関する情報は、ICチップの製造履歴又は製造会社番号を示す識別番号であっても良い。

【0015】

上記の様に構成した本発明に係る半導体集積回路によれば、従来使用されていたID参照用レジスタをID書き込み回路と汎用メモリに置き換えることにより、IDを記憶するために必要とするIC内部の回路規模を大幅に低減し、しかも、メモリのワーク領域の減少を伴わずに、ICのリセット時以外でもIDを参照できる。

【0016】

【発明の実施の形態】

以下、図面に基づいて本発明の実施の形態について説明する。尚、同一の要素には同一の番号を付して説明を省略する。

【0017】

図1は、本発明の第1の実施形態に係る半導体集積回路と外部回路との接続を示す。本実施形態は、メモリを内蔵する半導体集積回路(IC)とCPUを含む外部回路との接続により構成される装置に適用されるものである。

【0018】

図1において、ICの内部には、IDを発生するID発生回路11と、リセット信号及びコマンド終了信号に応答してIDを書き込むためのID書き込み回路12と、例えばキャッシュメモリ等として用いられる内蔵メモリ13とが少なくとも含まれている。

【0019】

IDは、ICチップの製造履歴(例えば製品バージョン)や製造会社番号等の情報を表している。ID発生回路11において、電源に接続して正転又は反転した信号を用いてIDを発生する。このIDは、ID書き込み回路12により内蔵メモリ13の任意の番地(アドレス)に記憶される。IC内蔵メモリ13は接続端子を介して外部のCPU4に接続されており、IDは外部のCPU4によって読み出され、ソフトウェアの一種であるファームウェア5によって、IDを判別してICチップの製造履歴や製造会社番号等を特定することにより、ICに対応した制御が行われる。ここで、ID書き込み回路12は、20〜30ゲートで構成することができる。

【 0 0 2 0 】

ここで、CPU 4 が直接 ID 発生回路 1 1 から ID を読み出さずに、ID 参照用レジスタ 2 (図 8) や内蔵メモリ 1 3 から ID を読み出しているのは、クロックに同期させて CPU バスに ID を乗せるためである。

【 0 0 2 1 】

以上のように構成された半導体集積回路の動作について、図 2 を参照しながら説明する。なお、この半導体集積回路は入力クロック信号 CLK に同期して動作する。

【 0 0 2 2 】

最初に、ID の書き込み動作について説明する。本実施態様においては、パワーオンによるリセットの後にリセット信号が解除された時にも書き込み動作を行うが、ここでは、コマンド終了時の書き込み動作について説明する。まず、IC のコマンド動作が終了すると、コマンド終了信号 SEND が所定の期間アクティブ (本実施形態においてはハイレベルでアクティブ) となる。これに応答して、ID 書き込み回路 1 2 は、内蔵メモリ 1 3 のアドレス信号 RAMADDR を ID 書き込みアドレス Address に設定し、内蔵メモリ 1 3 のリード/ライト信号 RAMRW をライト側 (ローレベル) に設定する。さらに、内蔵メモリ 1 3 のチップセレクト信号 RAMCS を ON (ハイレベル) とすることにより、内蔵メモリ 1 3 の指定されたアドレスに、入力データ信号 RAMIN として入力された ID が書き込まれる。

【 0 0 2 3 】

次に、ID の読み出し・判別動作について説明する。まず、CPU 4 が、CPU バスを介して、IC 内蔵メモリ 1 3 の指定されたアドレスから ID を読み出す。次に、ファームウェア 5 により、CPU 4 が読み出した ID を変数に変換し、ID を認識する。

【 0 0 2 4 】

本実施形態によれば、従来使用されていた ID 参照用レジスタ 2 (図 8) の代りに、ID 書き込み回路 1 2 が内蔵メモリ 1 3 に ID を記憶することにより、ID の記憶のために要するゲート数を 1 0 0 から 2 0 ~ 3 0 に減少させることが可

能となる。また、ICのリセット時のみならずコマンド終了時においても常にIDを記憶するので、ワーク領域（一般データを記憶する領域）の外にID書き込み専用領域を設けなくとも、IDの上に一般データを上書きされてしまってIDを参照できなくなるといった不都合がない。

【0025】

次に、本発明の第2の実施形態について説明する。

【0026】

図3は、本発明の第2の実施形態に係る半導体集積回路と外部回路との接続を示す。本実施形態は、メモリを内蔵しない半導体集積回路（IC）とメモリ及びCPUを含む外部回路との接続により構成される装置に適用されるものである。

【0027】

図3において、ICの内部には、IDを発生するID発生回路11と、リセット信号及びコマンド終了信号に応答してIDを書き込むためのID書き込み回路22とが少なくとも含まれている。本実施形態においては、IC内部にメモリを内蔵していないので、IDの記憶のために外部メモリ23を使用する。ICチップの製造履歴（例えば製品バージョン）や製造会社番号等を示すIDは、ID書き込み回路22により接続端子を介して外部メモリ23の任意の番地（アドレス）に記憶される。外部メモリ23は外部のCPU4に接続されており、IDは外部のCPU4によって読み出される。ここで、ID書き込み回路22は、20～30ゲートで構成することができる。

【0028】

以上のように構成された半導体集積回路の動作について説明する。

【0029】

最初に、IDの書き込み動作について説明する。本実施態様においては、パワーオンによるリセットの後にリセット信号が解除された時にも書き込み動作を行うが、ここでは、コマンド終了時の書き込み動作について説明する。まず、ICのコマンド動作が終了すると、コマンド終了信号が所定の期間アクティブとなる。これに응答して、ID書き込み回路22は、IDを記憶するための行アドレスを指定するために、アドレス信号をID書き込み行アドレスに設定し、外部メモ

り 23 の行アドレス設定信号をアクティブにする。続いて、ID 書き込み回路 22 は、ID を記憶するための列アドレスを指定するために、アドレス信号を ID 書き込み列アドレスに設定し、外部メモリ 23 のリード/ライト信号をライト側に設定し、外部メモリ 23 の列アドレス設定信号をアクティブにする。これにより、外部メモリ 23 の指定されたアドレスに、入力データ信号として入力された ID が書き込まれる。

【0030】

次に、ID の読み出し・判別動作について説明する。まず、CPU 4 が、CPU バスを介して、外部メモリ 23 の指定されたアドレスから ID を読み出す。次に、ファームウェア 5 により、CPU 4 が読み出した ID を変数に変換し、ID を認識する。

【0031】

本実施形態によれば、従来使用されていた ID 参照用レジスタ 2 (図 8) の代わりに、ID 書き込み回路 22 が外部メモリ 23 に ID を記憶することにより、ID の記憶のために要するゲート数を 100 から 20~30 に減少させることが可能となる。また、IC のリセット時のみならずコマンド終了時においても常に ID を記憶するので、ワーク領域 (一般データを記憶する領域) の外に ID 書き込み専用領域を設けなくとも、ID の上に一般データを上書きされてしまって ID を参照できなくなるといった不都合がない。

【0032】

次に、本発明の第 3 の実施形態について説明する。図 4 は、本発明の第 3 の実施形態に係る半導体集積回路と外部回路との接続を示す。本実施形態は、メモリを内蔵する半導体集積回路 (IC) と CPU を含む外部回路との接続により構成される装置に適用されるものである。

【0033】

図 4 において、IC の内部には、ID を発生する ID 発生回路 11 と、リセット信号及びコマンド終了信号に応答して ID を書き込むための ID 書き込み回路 32 と、例えばキャッシュメモリ等として用いられる内蔵メモリ 13 とが少なくとも含まれている。IC チップの製造履歴 (例えば製品バージョン) や製造会社

番号等を示すIDは、ID発生回路11によって発生され、ID書き込み回路32により内蔵メモリ13の指定された番地（アドレス）に記憶される。このアドレスの指定は、ID書き込み用アドレスレジスタ6に記憶されているアドレスデータに基づいて行われる。ID書き込み用アドレスレジスタ6は接続端子を介して外部のCPU14に接続されており、外部のCPU14によりアドレスデータが変更される。一方、IC内蔵メモリ13も接続端子を介して外部のCPU14に接続されており、IDは外部のCPU14によって読み出され、ソフトウェアの一種であるファームウェア15によって、IDを判別してICチップの製造履歴や製造会社番号等を特定することにより、ICに対応した制御が行われる。

【0034】

以上のように構成された半導体集積回路の動作について説明する。

【0035】

最初に、IDの書き込み動作について説明する。本実施態様においては、パワーオンによるリセットの後にリセット信号が解除された時にも書き込み動作を行うが、ここでは、コマンド終了時の書き込み動作について説明する。まず、ICがコマンド動作を行う前に、CPU14からID書き込みアドレスをID書き込み用アドレスレジスタ6に設定する。このID書き込みアドレスとしては、一般データが記憶されていない領域を選択する。ICのコマンド動作が終了すると、コマンド終了信号が所定の期間アクティブとなる。これに応答して、ID書き込み回路32は、内蔵メモリ13のアドレス信号をID書き込みアドレスに設定し、内蔵メモリ13のリード／ライト信号をライト側に設定する。さらに、内蔵メモリ13のチップセレクト信号をONとすることにより、内蔵メモリ13の指定されたアドレスに、入力データ信号として入力されたIDが書き込まれる。

【0036】

次に、IDの読み出し・判別動作について説明する。まず、CPU14が、CPUバスを介して、IC内蔵メモリ13の指定されたアドレスからIDを読み出す。次に、ファームウェア15により、CPU14が読み出したIDを変数に変換し、IDを認識する。

【0037】

本実施形態によれば、第1の実施形態において内蔵メモリ13に記憶されている一般データの上にIDを上書きしてしまうというおそれなくなる。

【0038】

次に、本発明の第4の実施形態について説明する。図5は、本発明の第2の実施形態に係る半導体集積回路と外部回路との接続を示す。本実施形態は、メモリを内蔵しない半導体集積回路(IC)とメモリ及びCPUを含む外部回路との接続により構成される装置に適用されるものである。

【0039】

図5において、ICの内部には、IDを発生するID発生回路11と、リセット信号及びコマンド終了信号に応答してIDを書き込むためのID書き込み回路42とが少なくとも含まれている。本実施形態においては、IC内部にメモリを内蔵していないので、IDの記憶のために外部メモリ23を使用する。ICチップの製造履歴(例えば製品バージョン)や製造会社番号等を示すIDは、ID発生回路11により発生され、ID書き込み回路42により接続端子を介して外部メモリ23の指定された番地(アドレス)に記憶される。このアドレスの指定は、ID書き込み用アドレスレジスタ6に記憶されているアドレスデータに基づいて行われる。ID書き込み用アドレスレジスタ6は接続端子を介して外部のCPU14に接続されており、外部のCPU14によりアドレスデータが変更される。一方、外部メモリ23も外部のCPU14に接続されており、IDは外部のCPU14によって読み出される。

【0040】

以上のように構成された半導体集積回路の動作について説明する。

【0041】

最初に、IDの書き込み動作について説明する。本実施形態においては、パワーオンによるリセットの後にリセット信号が解除された時にも書き込み動作を行うが、ここでは、コマンド終了時の書き込み動作について説明する。まず、ICがコマンド動作を行う前に、CPU14からID書き込みアドレスをID書き込み用アドレスレジスタ6に設定する。このID書き込みアドレスとしては、一般

データが記憶されていない領域を選択する。ICのコマンド動作が終了すると、コマンド終了信号が所定の期間アクティブとなる。これに応答して、ID書き込み回路42は、IDを記憶するための行アドレスを指定するために、アドレス信号をID書き込み行アドレスに設定し、外部メモリ23の行アドレス設定信号をアクティブにする。続いて、ID書き込み回路42は、IDを記憶するための列アドレスを指定するために、アドレス信号をID書き込み列アドレスに設定し、外部メモリ23のリード/ライト信号をライト側に設定し、外部メモリ23の列アドレス設定信号をアクティブにする。これにより、外部メモリ23の指定されたアドレスに、入力データ信号として入力されたIDが書き込まれる。

【0042】

次に、IDの読み出し・判別動作について説明する。まず、CPU14が、CPUバスを介して、外部メモリ23の指定されたアドレスからIDを読み出す。次に、ファームウェア15により、CPU14が読み出したIDを変数に変換し、IDを認識する。

【0043】

本実施形態によれば、第2の実施形態において外部メモリ23に記憶されている一般データの上にIDを上書きしてしまうというおそれなくなる。

【0044】

以上の実施形態においては、チップの外部にあるCPUがIDを読み出す構成について説明してきたが、本発明は、システムLSI等のようにCPUがチップの内部にある半導体集積回路にも適用することができる(図6又は図7)。

【0045】

例えば、システムLSIに機能の一部が異なる複数の機種が存在し、該機能に対応するIDを読み出すことによって、機能に合わせた動作を行わせることができる。

【0046】

この場合には、図6において、ID発生回路11、ID書き込み回路52、メモリ33については先に説明した第1又は第2の実施形態と同様であり、CPU24とファームウェア25が半導体集積回路に内蔵されているだけである。また

、図 7 において、ID 発生回路 1 1、ID 書き込み回路 6 2、メモリ 3 3、ID 書き込み用アドレスレジスタ 6 については先に説明した第 3 又は第 4 の実施形態と同様であり、CPU 3 4 とファームウェア 3 5 が半導体集積回路に内蔵されているだけである。

【0 0 4 7】

【発明の効果】

以上述べた様に、本発明によれば、ID を記憶するために必要とする IC 内部の回路規模を低減しつつ、かつ、メモリのワーク領域の減少を伴わずに、IC のリセット時以外でも ID を参照することが可能となる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る半導体集積回路と外部回路との接続を示す図である。

【図 2】

本発明の第 1 の実施形態において使用する信号のタイムチャートである。

【図 3】

本発明の第 2 の実施形態に係る半導体集積回路と外部回路との接続を示す図である。

【図 4】

本発明の第 3 の実施形態に係る半導体集積回路と外部回路との接続を示す図である。

【図 5】

本発明の第 4 の実施形態に係る半導体集積回路と外部回路との接続を示す図である。

【図 6】

本発明の第 1 又は第 2 の実施形態を変形した半導体集積回路を示す図である。

【図 7】

本発明の第 3 又は第 4 の実施形態を変形した半導体集積回路を示す図である。

【図 8】

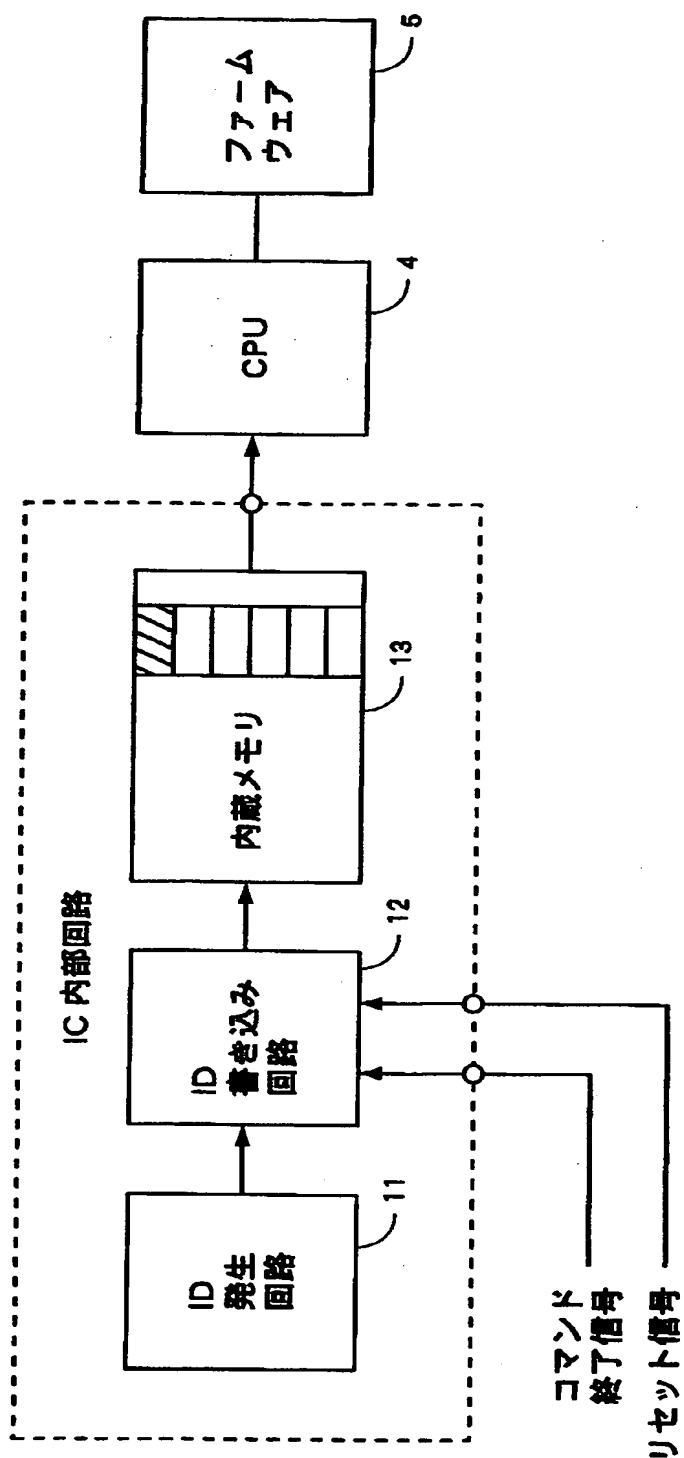
従来の半導体集積回路と外部回路との接続を示す図である。

【符号の説明】

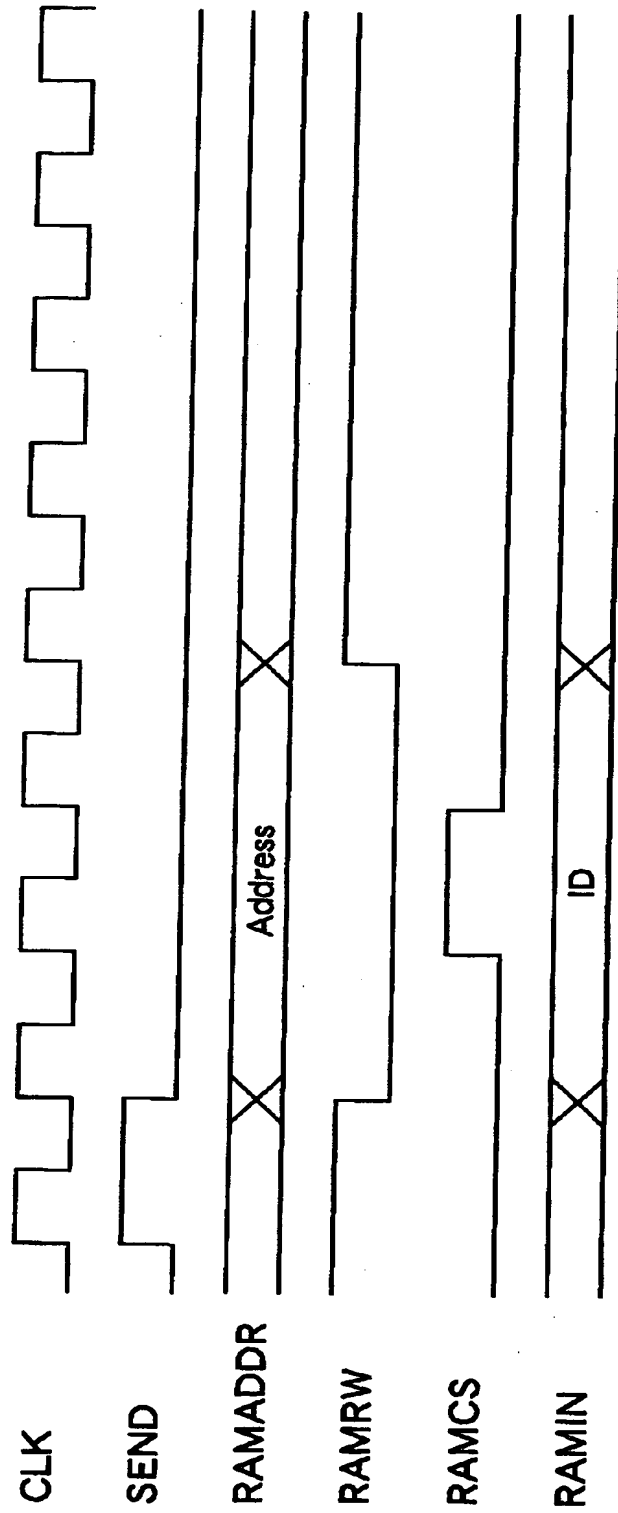
- 1、1 1 ID発生回路
- 2 ID参照用レジスタ
- 3、1 3 内蔵メモリ
- 4、1 4、2 4、3 4 CPU
- 5、1 5、2 5、3 5 ファームウェア
- 6 ID書き込み用アドレスレジスタ
- 1 2、2 2、3 2、4 2、5 2、6 2 ID書き込み回路
- 2 3 外部メモリ
- 3 3 メモリ

【書類名】 図面

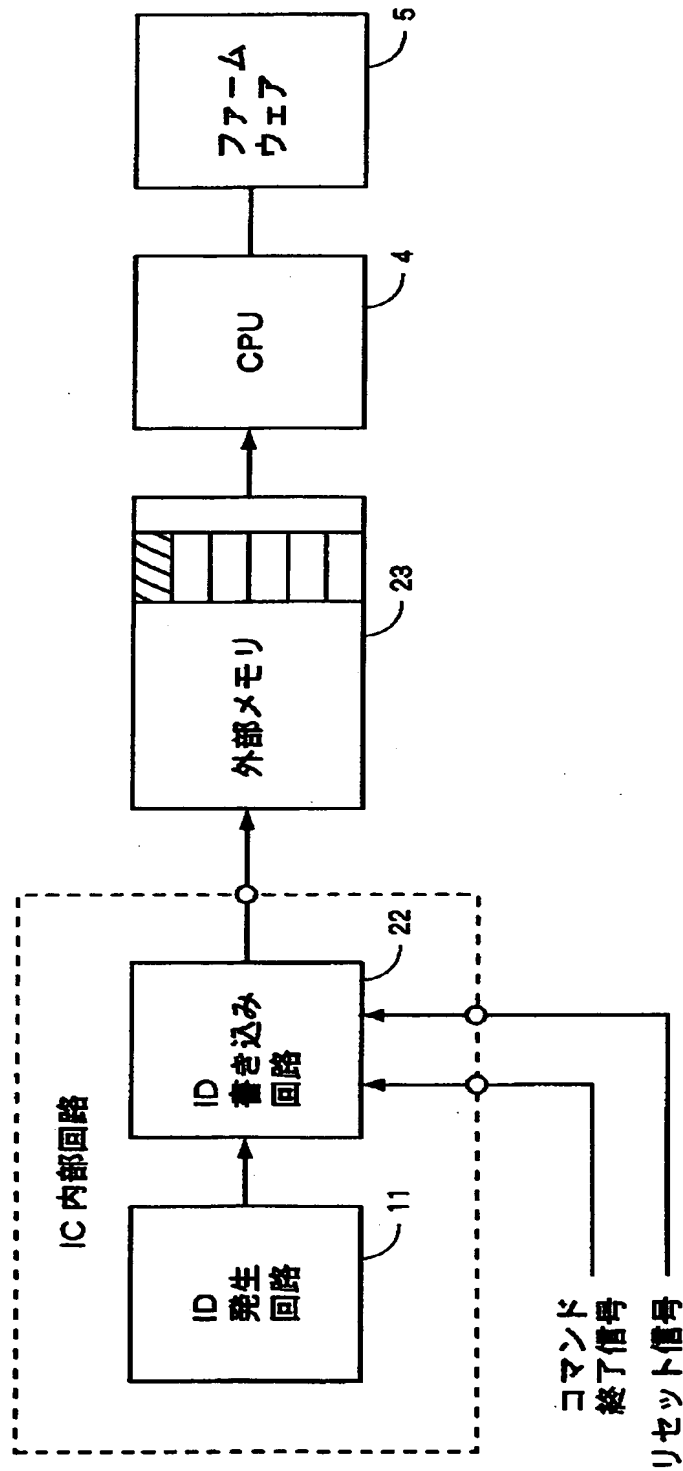
【図 1】



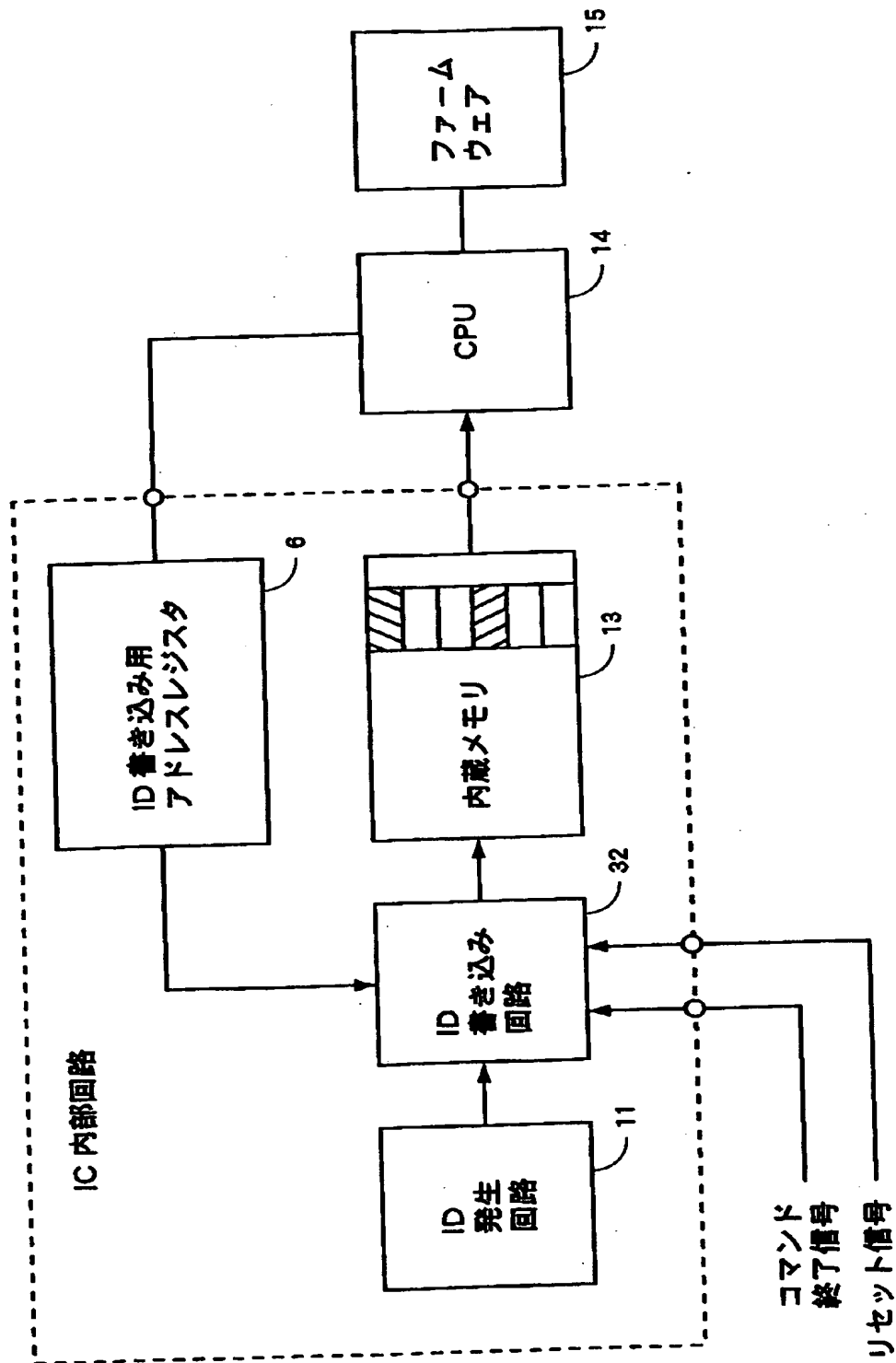
【図 2】



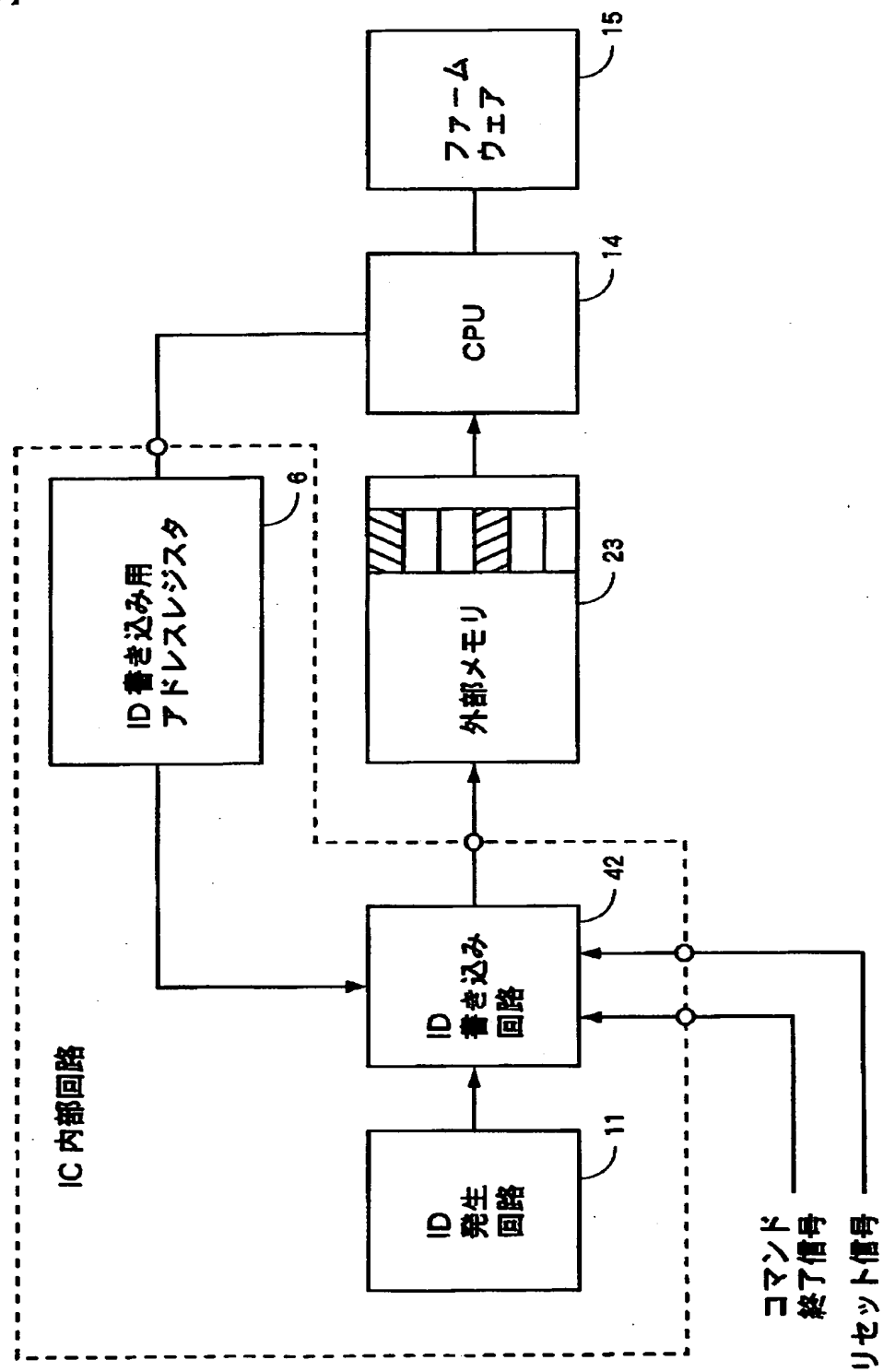
【図 3】



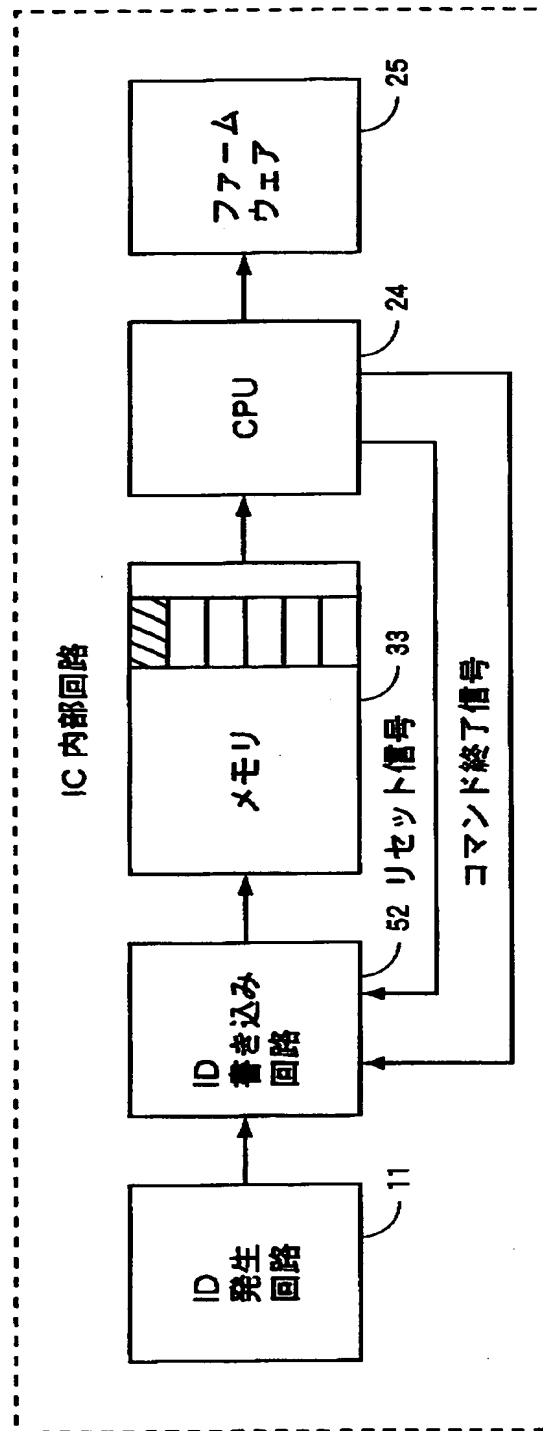
【図4】



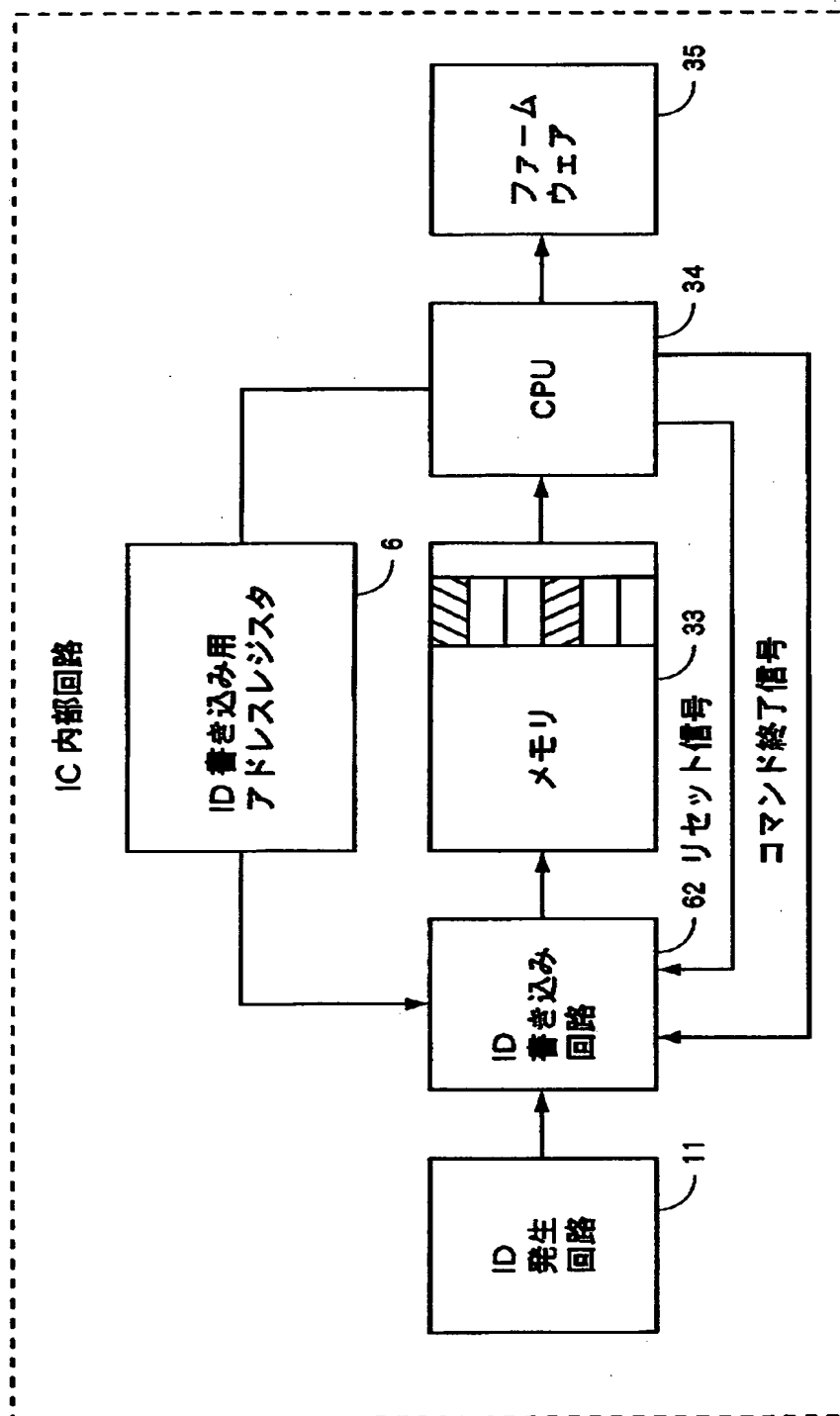
【図 5】



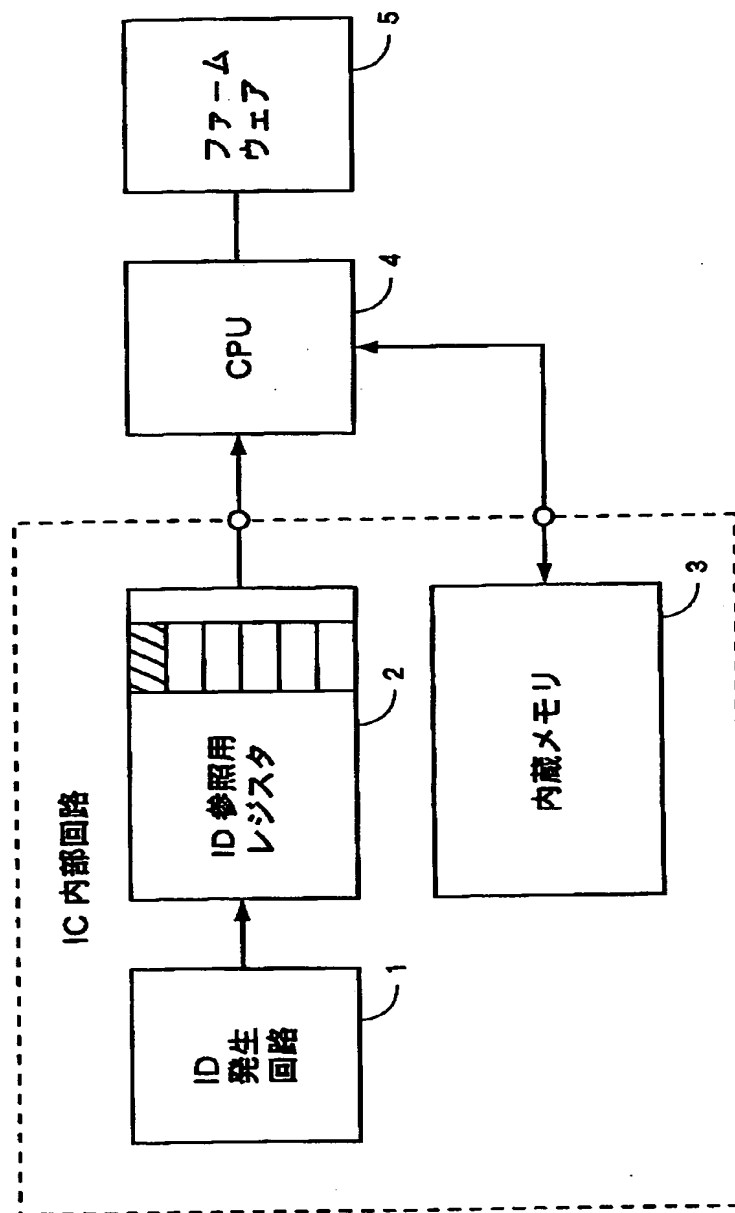
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 IDを記憶するために必要とするIC内部の回路規模を低減しつつ、かつ、メモリのワーク領域の減少を伴わずに、ICのリセット時以外でもIDを参照できるようにすること。

【解決手段】 代表的には外部のプロセッサと接続される半導体集積回路であって、データを記憶するためのメモリと、メモリをプロセッサに接続するための端子と、半導体集積回路の製造に関する情報を発生する情報発生回路と、半導体集積回路がリセットされた後に又はプロセッサのコマンドの終了に応答して、この情報をメモリに書き込むための書き込み回路とを具備する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社

THIS PAGE BLANK (USPTO)